

Family list

9 application(s) for: JP2041113B

Sorting criteria: Priority Date Inventor Applicant Ecla

1 A STATIC MEMORY

Inventor: YASUI TOKUMASA [JP] ; NAKAMURA HIDEAKI [JP] (+3)
EC: G11C11/419; H01L27/11R

Publication DE3203417 (A1) - 1982-08-12
info:

Applicant: HITACHI LTD [JP] ; HITACHI MICROCUMPUTER ENG [JP]
IPC: G11C11/409; G11C11/417; G11C11/419; (+7)

Priority Date: 1981-02-02

2 A STATIC MEMORY

Inventor: YASUI TOKUMASA ; NAKAMURA HIDEAKI (+3)
EC: G11C11/419; H01L27/11R

Publication FR2499291 (A1) - 1982-08-06
info: FR2499291 (B1) - 1986-12-05

Applicant: HITACHI LTD [JP]

IPC: G11C11/409; G11C11/417; G11C11/419; (+6)

Priority Date: 1981-02-02

3 A STATIC MEMORY

Inventor:
EC: G11C11/419; H01L27/11R

Publication GB2092403 (A) - 1982-08-11
info: GB2092403 (B) - 1984-08-01

Applicant: HITACHI LTD ; HITACHI MICROCUMPUTER ENG
IPC: G11C11/409; G11C11/417; G11C11/419; (+8)

Priority Date: 1981-02-02

4 A STATIC MEMORY

Inventor: YASUI TOKUMASA ; NAKAMURA HIDEAKI (+3)
EC: G11C11/419; H01L27/11R

Publication HK54586 (A) - 1986-08-01
info:

Applicant: HITACHI LTD [JP] ; HITACHI MICROCUMPUTER ENG [JP]
IPC: G11C11/409; G11C11/417; G11C11/419; (+8)

Priority Date: 1981-02-02

5 A STATIC MEMORY

Inventor: TOKUMASA YASUI [JP] ; HIDEAKI NAKAMURA [JP] (+3)
EC: G11C11/419; H01L27/11R

Publication IT1149530 (B) - 1986-12-03
info:

Applicant: HITACHI LTD [JP] ; HITACHI MICROCUMPUTER ENG [JP]
IPC: G11C11/409; G11C11/417; G11C11/419; (+6)

Priority Date: 1981-02-02

6 MOS STATIC TYPE RAM

Inventor: YASUI NORIMASA ; NAKAMURA HIDEAKI (+3)
EC: G11C11/419; H01L27/11R

Publication JP57127989 (A) - 1982-08-09
info: JP2041113 (B) - 1990-09-14
JP1618285 (C) - 1991-09-12

Applicant: HITACHI LTD ; HITACHI MICROCUMPUTER ENG
IPC: G11C11/409; G11C11/417; G11C11/419; (+6)

Priority Date: 1981-02-02

7 A STATIC MEMORY

Inventor: YASUI TOKUMASA ; NAKAMURA HIDEAKI (+3)
EC: G11C11/419; H01L27/11R

Publication MY54786 (A) - 1986-12-31
info:

Applicant: HITACHI LTD ; HITACHI MICROCUMPUTER ENG
IPC: G11C11/409; G11C11/417; G11C11/419; (+8)

Priority Date: 1981-02-02

8 A STATIC MEMORY

Inventor:
EC: G11C11/419; H01L27/11R

Applicant: HITACHI LTD [JP] ; HITACHI MICROCUMPUTER ENG [JP]
IPC: G11C11/409; G11C11/417; G11C11/419;

Publication SG20386 (G) - 1987-03-27
Info:

(+8)
Priority Date: 1981-02-02

9 Static memory

Inventor: YASUI TOKUMASA [JP] ; NAKAMURA HIDEAKI [JP] (+3)
EC: G11C11/419; H01L27/11R
Publication US4507759 (A) - 1985-03-26
Info:

Applicant: HITACHI LTD [JP] ; HITACHI MICROCOMPUTER ENG [JP]
IPC: G11C11/409; G11C11/417; G11C11/419; (+6)

Data supplied from the **espacenet** database — Worldwide

MOS STATIC TYPE RAM

Patent number: JP2041113 (B)

Publication date: 1990-09-14

Inventor(s): YASUI NORIMASA, ; NAKAMURA HIDEAKI, ; UCHIBORI KIYOBUMI, ; TANIMURA NOBUROU, ; MINATO OSAMU, ; UCHIBORI KYOBUMI, ; TANIMURA NOBURO

Applicant(s): HITACHI SEISAKUSHO KK, ; HITACHI MAIKURO COMPUTER ENGINEERING KK, ; HITACHI MAIKURO KONPYUUTA ENJINIRARINGU KK

Classification:

[more >>](#)

- international: **G11C11/409; G11C11/417; G11C11/419; H01L27/11; G11C11/409; G11C11/417; G11C11/419; H01L27/11**

- european: G11C11/419; H01L27/11R

Application number: JP19810012960 19810202

Priority number(s): JP19810012960 19810202

Cited documents:

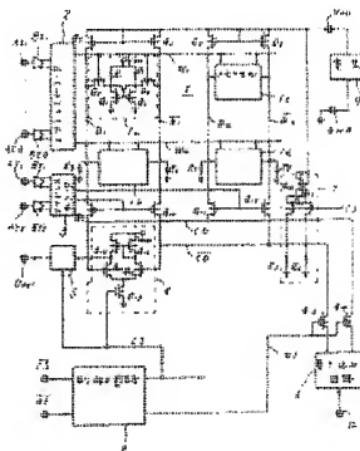
JP55129994 (A)

JP53052325 (A)

Abstract of JP 57127989 (A)

PURPOSE: To achieve stable high speed and temperature compensation by providing a high resistance means between a pair of common data lines and a reference potential terminal.

CONSTITUTION: A memory cell 1 having a selection terminal to which a word selection signal is supplied and a pair of input/output terminals coupled with a pair of data lines, and a transmission gate MOSFET provided between a pair of data lines and a pair of common data lines and controlled with a data line selection signal, are provided. Further, a sense amplifier to which a signal of a pair of common data lines is applied, write circuit 6 outputting write data to a pair of common data line, and bias circuit 7 supplying a specified voltage to a pair of common data lines at chip non-selection, are provided.; The 1st high resistance means R1 is provided between the said pair of common data lines and a reference potential terminal, and the circuit 6 is provided with a circuit means taking a pair of output levels at chip non-selection as the reference potential level.



⑪ 特許公報 (B2)

平2-41113

⑫ Int. Cl. 5
G 11 C 11/417

識別記号

序内整理番号

⑬ ⑭ 公告 平成2年(1990)9月14日

8522-5B

G 11 C 11/34

3 0 5

発明の数 2 (全8頁)

⑮ 発明の名称 MOSスタティック型RAM

⑯ 特 願 昭56-12960 ⑯ 公 開 昭57-127989

⑯ 出 願 昭56(1981)2月2日 ⑯ 昭57(1982)8月9日

⑰ 発明者 安井 徳政	東京都小平市上水本町1450番地	株式会社日立製作所武藏工場内
⑰ 発明者 中村 英明	東京都小平市上水本町1479番地	日立マイクロコンピュータエンジニアリング株式会社内
⑰ 発明者 内堀 清文	東京都小平市上水本町1450番地	株式会社日立製作所武藏工場内
⑰ 発明者 谷村 信朗	東京都小平市上水本町1450番地	株式会社日立製作所武藏工場内
⑰ 発明者 渡 修	東京都国分寺市東恋ヶ窪1丁目280番地	株式会社日立製作所中央研究所内
⑰ 出願人 株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地	
⑰ 出願人 日立マイクロコンピュータエンジニアリング	東京都小平市上水本町1479番地	
株式会社		
⑯ 代理人 弁理士 小川 勝男	外1名	
審査官 西村 仁志		

1

2

⑯ 特許請求の範囲

1 ワード線選択信号が供給される選択端子、及び一对のデータ線に結合される一对の入出力端子を持つメモリセルと、上記一对のデータ線と一对の共通データ線との間に設けられデータ線選択信号で制御される伝送ゲートMOSFETと、上記一对の共通データ線の信号がそれぞれ供給される一对の入力端子を持つセンスアンプと、上記一对の共通データ線に書き込みデータを出力する一对の出力端子を持つ書き込み回路と、所定の電圧をチップ非選抲時に上記一对の共通データ線に供給するバイアス回路とを含むMOSスタティック型RAMであつて、上記一对のデータ線と電源電圧端子との間には、負荷用MOSFETが接続され、上記一对のデータ線と基準電位端子との間には、それぞれ高抵抗手段が設けられてなることを特微

とするMOSスタティック型RAM。

2 上記高抵抗手段は、ポリシリコン高抵抗から構成されていることを特徴とする特許請求の範囲第1項記載のMOSスタティック型RAM。

5 3 上記高抵抗手段は、逆方向に接続されたダイオード形態のMOSFETから構成されていることを特徴とする特許請求の範囲第1項記載のMOSスタティック型RAM。

4 上記メモリセルはポリシリコン高抵抗を負荷抵抗とするリツップフロップ回路を含み、上記MOSスタティック型RAMを構成する他の回路は、CMOS回路から構成されていることを特徴とする特許請求の範囲第1項乃至第3項記載のMOSスタティック型RAM。

10 5 ワード線選択信号が供給される選択端子、及び一对のデータ線に結合される一对の入出力端子

を持つメモリセルと、上記一对のデータ線と一对の共通データ線との間に設けられデータ線選択信号で制御される伝送ゲートMOSFETと、上記一对の共通データ線の信号がそれぞれ供給される一对の入力端子を持つセンスアンプと、上記一对の共通データ線に書き込みデータを出力する一对の出力端子を持つ書き込み回路と、電源電圧よりも低い所定の電圧をチップ非選択時に上記一对の共通データ線に供給するバイアス回路とを含むMOSスタティック型RAMであつて、上記一对の共通データ線と基準電位端子との間に第1の高抵抗手段、又は書き込み回路に、チップ非選択時の一对の出力レベルを共に基準電位レベルとする回路手段を設けたことを特徴とするMOSスタティック型RAM。

6 上記第1の高抵抗手段は、ポリシリコン高抵抗から構成されていることを特徴とする特許請求の範囲第5項記載のMOSスタティック型RAM。

7 上記第1の高抵抗手段は、逆方向に接続されたダイオード形態のMOSFETから構成されていることを特徴とする特許請求の範囲第5項記載のMOSスタティック型RAM。

8 上記一对のデータ線と電源電圧端子との間に、負荷用MOSFETが接続され、上記一对のデータ線と基準電位端子との間に、それぞれ第2の高抵抗手段が設けられてなることを特徴とする特許請求の範囲第5項乃至第7項のうちの1に記載のMOSスタティック型RAM。

9 上記第2の高抵抗手段は、ポリシリコン高抵抗から構成されていることを特徴とする特許請求の範囲第8項記載のMOSスタティック型RAM。

10 上記第2の高抵抗手段は、逆方向に接続されたダイオード形態のMOSFETから構成されていることを特徴とする特許請求の範囲第8項記載のMOSスタティック型RAM。

11 上記メモリセルはポリシリコン高抵抗を負荷抵抗とするフリップフロップ回路を含み、上記MOSスタティック型RAMを構成する他の回路は、CMOS回路から構成されていることを特徴とする特許請求の範囲第5項乃至第10項のうちの1に記載のMOSスタティック型RAM。

発明の詳細な説明

この発明は、MOSFET(絶縁ゲート型電界効果トランジスタ)で構成されたスタティック型

RAM(ランダム・アクセス・メモリ)に関する。

MOSスタティック型RAMにおいて、通常、メモリセルは、その複数個がマトリクス配置される。同一行に配置された複数のメモリセルの選択端子はその行に対応する1つのワード線に共通接続され、同一列に配置された複数のメモリセルのデータ入出力端子はその列に対応するデータ線に共通接続される。複数のデータ線は、カラムスイッチ回路を介して共通のデータ線に結合される。

10 上記共通データ線には、センスアンプの入力端子及び書き込み回路の出力端子が結合される。

従つて、上記センスアンプには、上記ワード線とカラムスイッチ回路とによって選択された1つのメモリセルにおけるデータが供給される。ま

15 た、上記書き込み回路の出力データは、上記ワード線とカラムスイッチ回路とによって選択された1つのメモリセルに供給されることになる。

20 MOSFETによって構成されたセンスアンプは、その入力信号レベルが変化することによってその感度が変化する。センスアンプを高感度で動作させるために、例えば電源端子と上記共通データ線との間にMOSFETを配置し、このMOSFETによってデータ読み出し開始前の上記共通データ線の電位を予め望ましいレベルにさせておこうことができる。同様に、電源端子とデータ線との間に配置された負荷用MISFETによって上記データ線の電位を予め望ましいレベルにさせておくようにすることができる。

25 30 しかしながら、上記のようなバイアス電圧を与えるためのMOSFETは、リーク電流もしくはテーリング電流を生ずる。上記のリーク電流もしくはテーリング電流は、また温度とともに変化する。

35 30 チップ非選択期間が比較的長くされてしまったような場合、上記共通データ線及び上記データ線の電位は、上記リーク電流もしくはテーリング電流によってほど電源端子の電位にまで上昇せられてしまう。

40 その結果、センスアンプの感度が低下させられてしまい、データの読み出し速度が制限される。

センスアンプがチップ選択信号によって制御されるように構成されている場合、上記のように共通データ線の電位が異常に上昇せられている

と、このセンスアンプの出力電圧は、それが動作状態にされた直後において、メモリセルから読み出すデータレベルにかかわらずに比較的大きく低下させられてしまうことがある。その結果、データの読み出し速度が低下させられる。

従つて、この発明の目的は、安定した高速動作とすることができるMOSスタティック型RAMを提供することにある。

この発明の他の目的は、温度補償されたMOSスタティック型RAMを提供することにある。

この発明の更に他の目的は、以下の説明及び図面から明らかとなるであろう。

第1図は、この発明の一実施例のMOSスタティックRAMの回路を示している。

同図のRAMは、公知の半導体集積回路技術によつて1つの半導体基板上において形成される。端子AX₁ないしAX_n、AY₁ないしAY_n、D_{out}、CS、WE、D_{in}、V_{dd}及びGNDはその外部端子とされる。図示のRAMは、その電源端子V_{dd}と接続端子GNDとの間に外部電源装置9から電源電圧が供給されることによつて動作させられる。

同図において、1はメモリアレイであり、メモリセル1aないし1d、ワード線W₁ないしW_m、データ線D₁、D₁、D_n、D_nから構成されている。

メモリセルは、相互において同じ構成とされており、特に制限されないが、1aを代表として詳細に示されたように、駆動MOSFET Q₁、Q₂と負荷抵抗R₁、R₂で構成されたスタティック型シリップロップ回路と、このスタティック型シリップロップ回路の入出力端子と一对のデータ線D₁、D₁との間にそれぞれ設けられた伝送ゲートMOSFET Q₃、Q₄で構成されている。

上記メモリセルは、上記抵抗R₁とR₂の接続点に、電源端子V_{dd}に供給される電源電圧が供給されることによつてデータを保持する。

上記抵抗R₁及びR₂は、データ保持状態におけるメモリセルの消費電力を減少させるため、例えば数メガオームないし数ギガオームのような高抵抗値にされる。上記抵抗R₁及びR₂は、メモリセルの占有面積を減少させるため、例えばMOSFETを形成する半導体基板の表面に比較的厚い厚さのフィールド絶縁膜を介して形成された比較的高抵抗のポリシリコン層から構成される。

上記メモリセル1aないし1dは、図示のようにマトリックス状に配置される。このマトリックス状に配置されたメモリセル1a～1dのうち、同じ行に配置されたメモリセル1a、1c及び1

5b、1d等の選択端子としての伝送ゲートMOSFETのゲートは、ワード線W₁、W_mに接続されており、また、同じ列に配置されたメモリセル1a、1b及び1c、1d等の一対の入出力端子は、一对のデータ線D₁、D₁及びD_n、D_nにそれ10ぞれ接続されている。そして、これらの各列に対応するデータ線は、それぞれカラムスイッチとしての伝送ゲートMOSFET Q₅、Q₁₀及びQ₁₁、Q₁₂を介して共通データ線CD、CDに接続されている。上記ワード線W₁～W_mは、Xアドレスデコーダ回路2の出力端子に接続され、上記Xアドレスデコーダ回路2によって選択される。

メモリマトリクスの各列に対応して設けられた一对の伝送ゲートMOSFET Q₅、Q₁₀及びQ₁₁、Q₁₂のゲートは、それぞれYアドレスデコーダ回路20路3の出力端子に接続され上記Yアドレスデコーダ回路3によって選択される。

上記Xアドレスデコーダ回路2には、アドレスバッファ回路BX₁ないしBX_nを介してアドレス入力端子AX₁ないしAX_nに供給されたアドレス信号が供給される。

上記Yアドレスデコーダ回路3には、同様にアドレスバッファ回路BY₁ないしBY_nを介してアドレス入力端子AY₁ないしAY_nに供給されたアドレス信号が供給される。

一对の共通データ線CD、CDは、一方においてセンスアンプ4の一対の入力端子に接続され、他方において、伝送ゲートMOSFET Q₁₃、Q₁₄を介して書き込み回路6の出力端子に接続されている。センスアンプ4の出力信号V_{out}は、出力バ55ツファ回路5の入力に印加される。

上記センスアンプ4は、特に制限されないが図示のように差動MOSFET Q₁₅、Q₁₆、カレントミラー動作のMOSFET Q₁₇、Q₁₈及び定電流用MOSFET Q₁₉から構成された差動増幅回路から構成されている。上記MOSFET Q₁₇は、パワースイッチとしても用いられる。チップ選択端子CSに供給されるチップ選択信号が回路の接地電位のようなロウレベルにされると、これに応じて制御回路8から上記MOSFET Q₁₇のゲートに供

給される制御信号がハイレベルにされる。その結果、上記MOSFET Q_{11} がオン状態にされ、センスアンプ4が活性化される。

上記出力バッファ回路5は、実質的に出力端子フローティング状態を含む3状態回路から構成される。制御回路8から出力される制御信号CSがロウレベルなら、上記出力バッファ回路の出力端子はフローティング状態にされる。上記制御信号CSがハイレベルなら、上記出力バッファ回路の出力端子は、上記センスアンプ4の出力レベルに対応したロウレベル又はハイレベルにされる。

上記共通データ線CD、 \overline{CD} は、またバイアス回路7が接続されている。

バイアス回路7は、図示のようにゲート・ドレインが電源端子 V_{DD} に接続されたレベルシフト用MOSFET Q_{20} 、上記MOSFET Q_{20} のソースと共通データ線CD及び \overline{CD} との間に接続されたMOSFET Q_{21} 、 Q_{22} 、上記共通データ線CD及び \overline{CD} と回路の接地点との間に接続された抵抗 R_7 及び R_8 から構成されている。

上記MOSFET Q_{21} 及び Q_{22} は、チップ非選択期間においてオン状態となるように、制御信号CSによってスイッチ制御される。以前のデータに対応して設定された共通データ線CDと \overline{CD} との相互の電位差は、これら共通データ線CD及び \overline{CD} と回路の接地点との間に存在するような浮遊容量(図示しない)によって保持されることになる。上記のような以前のデータ線に対応する電位差は、上記MOSFET Q_{21} 及び Q_{22} がチップ非選択期間においてオン状態にされることによってほど0にされる。このように、共通データ線対CDと \overline{CD} の電位差を予めほど0にしておくと、新らに選択するメモリセルのデータに対応した電位差を比較的短時間に上記共通データ線対CDと \overline{CD} に与えることができ、その結果RAMのアクセス時間を短くすることができる。

上記バイアス回路7におけるMOSFET Q_{20} は、それがダイオード形態に接続されていることによって、そのソース・ドレイン間にほどそのしきい値電圧に等しい電圧降下を生ずる。

そのため、チップ非選択期間において、共通データ線CD及び \overline{CD} には、電源端子 V_{DD} の電源電圧に対し上記MOSFET Q_{20} によってレベルシフトされた電圧が供給される。

差動MOSFETを含む前記のようなセンスアンプ4は、通常、その感度がその一对の入力端子のバイアス電位によって変化する。上記のように、共通データ線CD及び \overline{CD} の電位が上記MOSFET Q_{20} によって低下させられることによって、上記センスアンプ4は、高感度で動作するようになる。その結果、センスアンプ4の出力は、比較的短時間内において、共通データ線CDと \overline{CD} に供給されるデータと対応したレベルにされることになる。

メモリセルのデータを比較的高速度で読み出すことができるようになります。この制御信号CSが比較的早いタイミングでハイレベルにされた場合、この制御信号CSによって上記センスアンプ4は、メモリセルから上記共通データ線CDと \overline{CD} に充分なレベル差が与えられるよりも前に活性化されることになる。共通データ線CDと \overline{CD} のレベル差が小さいことによって、差動MOSFET Q_{11} 及び Q_{12} が同時に導通状態にされ、その結果、センスアンプ4の出力が一時的に低下させられる。

バイアス回路7から、例えばMOSFET Q_{20} が除去されたような場合、共通データ線CD及び \overline{CD} は、その電位がほど電源端子 V_{DD} の電位にまで上昇させられてしまうことになる。このように共通データ線CD及び \overline{CD} の電位が予め電源電圧まで上昇させられているときの上記共通データ線CDと \overline{CD} の電位変化の一例が第2図に実線曲線CD及び \overline{CD} として示されている。このような場合において、制御信号CSをハイレベルにさせると、上記共通データ線CD及び \overline{CD} が比較的高電位にされていることによって、センスアンプ4の出力電圧 V_{out} が第2図の実線曲線 V_{out} のように大きく落ち込むものとなる。上記出力電圧 V_{out} が次段の出力バッファ回路5のロジクスレッショルド電圧 V_T 以下になると例えメモリセルからハイレベルのデータを読み出す時でも出力バッファ回路5の出力が一時的に反転してしまうことになる。そのためデータの読み出しタイミングを遅くせざるを得なくなってくる。

これに対して、第1図に示したように、バイアス回路7にレベルシフト用MOSFET Q_{20} を設けることにより、第2図に破線で示すように、共通データ線CD、 \overline{CD} のレベルを下げることができ、そのためにセンスアンプ4の活性化に際してのそ

の出力電圧 V_{out} の落ち込み量を減少させることができ。その結果メモリセルからのデータの、高速読み出しを可能とする。

この実施例では、読み出し動作の安定的な高速化を図るため、換言すれば、レベルシフト MOSFET Q_{20} のリーク（又はテーリング）電流による共通データ線のレベル上昇を防止するため抵抗 $R_3 \sim R_4$ が設けられる。すなわち、これらの抵抗 R_3 、 R_4 は、共通データ線 CD 、 \overline{CD} と基準電位 (0V) 間に設けられる。

上記抵抗 R_3 及び R_4 は、チップ非選択時におけるRAMの消費電力の増加を防ぐため、その合成抵抗値が、上記レベルシフト用MOSFET Q_{20} のリーク電流とは等しいか若干大きい値の電流を流し得るような比較的高抵抗値にされる。

上記抵抗 R_3 及び R_4 は、例えばダイオード接続のMOSFETによって構成することが可能である。しかしながら、上記抵抗 R_3 及び R_4 は、構造として、前記メモリセルにおける抵抗 R_3 及び R_4 と同様に、半導体基板上に比較的厚い厚さのフィールド絶縁膜を介して形成されたポリシリコン層（図示しない）から構成されていることが望ましい。このように、抵抗 R_3 及び R_4 をポリシリコン厚から構成する場合、ポリシリコン層を比較的高抵抗にすることによってその占有面積を比較的小さくすることが可能となる。また、ポリシリコン層から構成される抵抗は、それが二酸化シリコン膜から構成されるようなフルード絶縁膜を介して半導体基板上に形成されることによって、MOSFETのドレインもしくはソース接合のような比較的大きい値の浮遊容量を持たない。そのため、ポリシリコン層からなる抵抗は、共通データ線 CD 及び \overline{CD} に対し、比較的小さい浮遊容量しか与えず、共通データ線 CD 及び \overline{CD} における信号変化速度を実質的に制限しない。

第1図の実施例回路によれば、例えば、チップ非選択期間が長いとき、又は高温時において共通データ線 CD 、 \overline{CD} のバイアス電位を設定する MOSFET Q_{20} のリーク電流があつても、これを高抵抗 R_3 、 R_4 によって吸収するため、バイアス電圧の上昇を防止することができる。

したがつて、センサアンプ4のパワースイッチ MOSFET Q_{17} のオンによる活性化に際して、共通データ線 CD 、 \overline{CD} のバイアス電圧は、一定に固

定されたものであるので、第2図に点線で示すように、出力信号 V_{out} の落ち込みが小さく一定となる。これにより、安定的な読み出し動作の高速化を実現することができる。

なお、第1図においては、各データ線 D_1 、 $\overline{D_1}$ 、 D_n 、 $\overline{D_n}$ と電源端子 V_{DD} との間にそれぞれデータ線負荷用のエンハンスマントモードのMOSFET Q_5 、 Q_6 、 Q_7 、 Q_8 が設けられている。上記各データ線と回路の接地点との間にはまた、上記抵抗 R_3 、 R_4 と同様な目的のポリシリコン層から構成される抵抗 R_5 、 R_6 、 R_7 、 R_8 が設けられている。

従つて、各データ線には、上記データ線負荷用 MOSFET によってレベルシフトされた電圧が供給される。上記負荷 MOSFET Q_5 、 Q_6 等のリーク電流についても、同様の高抵抗 R_5 、 R_6 等によつて吸収できるため、データ線 D_1 、 $\overline{D_1}$ 等のレベル上昇を防止することができる。

以上の説明において、MOSFET $Q_1 \sim Q_{20}$ のうち、例えば MOSFET Q_1 のように、チャンネル領域部分にゲート方向に向う矢印を付したもののは、nチャンネル MOSFET を示し、MOSFET Q_{17} のように、チャンネル領域部分にゲート方向と逆向きの矢印を付したものは、Pチャンネル MOSFET を示している。したがつて、この実施例回路は、C-MOS（相補型MOS）回路で構成される。

第3図には、この発明の好適な他の一実施例回路が示されている。

この実施例では、バイアス回路7における MOSFET Q_{20} のリーク電流を吸収するための前記実施例のポリシリコン高抵抗 R_3 、 R_4 に替え、共通データ線 CD 、 \overline{CD} と基準電位との間に、ゲート・ソース間に接続された MOSFET Q_{23} 、 Q_{24} が設けられている。

上記 MOSFET Q_{23} 及び Q_{24} は、MOSFET Q_{20} のリーク電流を吸収するようなドレインリーク電流を生ずる。その結果、上記 MOSFET Q_{20} のリーク電流にもかかわらず、共通データ線 CD 及び \overline{CD} の電位は、前記実施例と同様に望ましい値にされる。なお、上記 MOSFET Q_{23} 及び Q_{24} は、その合成のドレインリーク電流が上記 MOSFET Q_{20} のリーク電流よりも大きくなるような構造とされている方が望ましい。

上記 MOSFET Q_{23} 及び Q_{24} は、上記 MOSFET

Q_{20} と異なるチャンネル型とすることができる。しかしながら、上記MOSFET Q_{23} 及び Q_{24} は、上記MOSFET Q_{20} と同じチャンネル型とされ、しかも上記MOSFET Q_{20} と同時に製造されたものであることが望ましい。このようにすると、上記MOSFET Q_{23} 及び Q_{24} は、上記MOSFET Q_{20} と対応するリーク電流特性を示すようになる。

その結果、実施例によると、上記MOSFET Q_{20} のリーク電流をMOSFET Q_{23} 、 Q_{24} のリーク電流によって吸収するものであるので、両者の電流値の一致化を比較的容易に実現することができるとともに温度依存性についても補償することができるという利点がある。

なお、図示しないが、前記第1図の抵抗 R_5 、 R_6 、 R_7 、 R_8 等も上記第3図のMOSFET Q_{23} 、 Q_{24} と同様なMOSFETに置きかえることができる。

第4図には、この発明の更に他の実施例の回路が示されている。

この実施例では、書き込み信号を伝達させるためのMOSFET Q_{11} 、 Q_{12} がチップ非選択時には制御信号WEによってオフ状態にされること及びそのリーク電流を利用して共通データ線CD及び \overline{CD} の電位の過大な上昇を防ぐこととしている。

このため、書き込み回路6は、チップ非選択時に、その一対の出力端子を共にローレベルにせざるよう2入力のNAND(又はNOR)ゲート回路によって構成される。

すなわち、書き込み回路6は、同図に示すように、MOSFET Q_{25} ～ Q_{28} で構成された第1の2入力ゲート回路、MOSFET Q_{29} ～ Q_{32} で構成された第2の2入力ゲート回路、及びインバータ回路IVから構成される。

上記第1、第2のゲート回路の一方の入力であるMOSFET Q_{26} 、 Q_{28} 及び Q_{30} 、 Q_{32} のゲートには、共通にチップ選択信号CSが印加される。

上記第2のゲート回路の他方の入力であるMOSFET Q_{25} 、 Q_{27} のゲートには書き込み入力信号 D_{1N} が印加される。そして、第1のゲート回路の他方の入力であるMOSFET Q_{25} 、 Q_{27} のゲートには、上記インバータ回路IVで反転された書き込み入力信号 $\overline{D_{1N}}$ が印加される。

この実施例回路では、チップ非選択時には、チップ選択信号CSがハイレベルとされるため、

MOSFET Q_{25} 、 Q_{27} がオン状態にされ、MOSFET Q_{26} 、 Q_{28} がオフ状態にされる。そのため、上記第1及び第2のゲート回路の出力は、いずれも書き込み信号 D_{1N} に無関係に、それぞれローレベルにされることになる。

したがつて、チップ非選択時において、MOSFET Q_{11} 、 Q_{12} を介してMOSFET Q_{20} から共通データ線CD及び \overline{CD} に供給されたリーク電流は、このときオフ状態にされている上記MOSFET Q_{11} 、 Q_{12} 及びオン状態にされているMOSFET Q_{32} 、 Q_{28} を通して基準電位側に流されることになり、その結果、上記共通データ線におけるバイアス電圧の上昇を防止することができる。

なお、チップ選択時には、チップ選択信号CSのローレベルによって、MOSFET Q_{26} 、 Q_{28} がオン状態にされ、MOSFET Q_{25} 、 Q_{27} がオフ状態にされるため、書き込み信号 D_{1N} に応じて書き込み回路6の出力レベルが決定されることになる。

この実施例回路では、例えば、nチャンネルMOSFET Q_{20} のリーク電流を、同様のnチャンネルMOSFET Q_{11} 、 Q_{12} のリーク電流によって吸収するものであるので、両者の電流値の一致化をより容易に実現することができる。このことは、温度依存性についても同様である。この実施例に従うと、また、共通データ線CD及び \overline{CD} に、前記実施例のような浮遊容量を増加させる素子が結合されない。そのため、データの読み出しを高速化することが可能となる。

この発明は、前記実施例に限定されない。メモリセルは、スタティック型フリップフロップ回路を利用したものであれば、何んであつてもよい。

また、メモリセルを含む各回路は、C-MOS回路の他、pチャンネル又はnチャンネルMOSFETのみによって構成するものとしてもよい。

さらに、データ線の容量値に対して共通データ線の容量値が大きい場合等、データ線の前述のようなレベル上昇があまり問題とならない場合にはデータ線に設けられるリーク電流吸収のための抵抗 R_5 ～ R_8 等は、省略するものであつてもよい。

また、この実施例における信号CS、 \overline{CS} 又はWE等の名称、信号レベルは、種々変形できる。

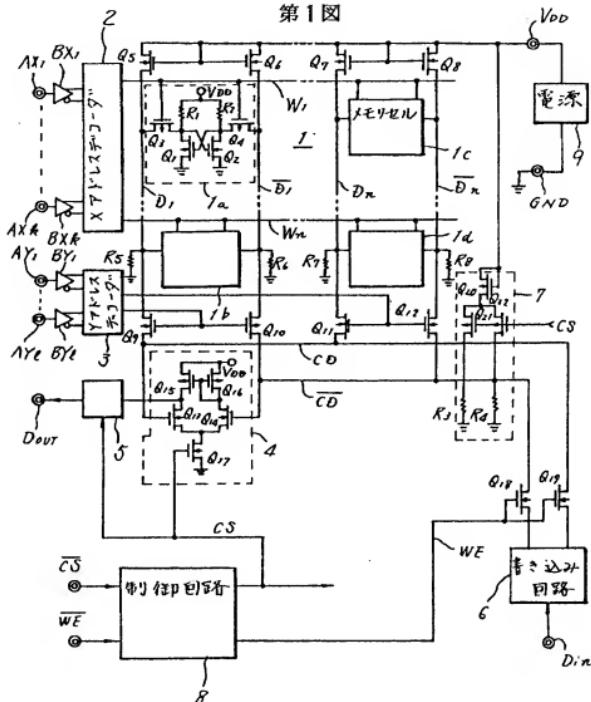
回路の簡単な説明

第1図は、この発明の一実施例を示す回路図、第2図は、その動作を説明するための波形図、第3図、及び第4図は、それぞれこの発明の他の一実施例を示す要部回路図である。

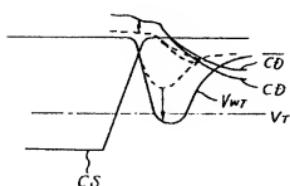
1 a ~ 1 d ……メモリセル、2 ……Xアドレスデコーダ回路、3 ……Yアドレスデコーダ回路、4 ……センスアンプ、5 ……出力パッファ回路、6 ……書き込み回路、7 ……バイアス回路。

5

第1図

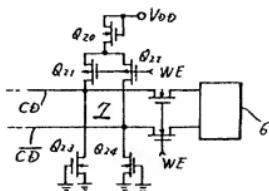


第2図



1

第3図



第4図

